

## GaN 트랜지스터 회로의 레이아웃 고려사항

### 개요

GaN(Gallium nitride) 트랜지스터는 10년 이상 대량 생산 체계를 이어오고 있다. 출시 후 처음 몇 년 동안에는 기존 Si MOSFET 보다 최대 10배 정도 빠른 이 새로운 디바이스의 빠른 스위칭 속도 때문에 설계자들이 주로 GaN FET를 사용했다.

GaN 디바이스의 가격이 MOSFET 비용과 평준화되고, 다양한 정격 전압과 전력 처리 기능을 갖춘 광범위한 디바이스 제품군이 확장되면서 GaN 디바이스는 컴퓨터용 DC-DC 컨버터와 로봇용 모터 드라이브, 전기 자전거 및 스쿠터와 같은 주류 애플리케이션 분야에 적용되면서 훨씬 폭넓게 확산되었다.

조기에 채택한 사람들로부터 얻은 경험은 추후 GaN 세계에 진입한 사람들이 더 빨리 생산 단계로 이행할 수 있는 길을 열었다.

이 글은 3가지 주제를 중심으로 전력 시스템 설계자가 가장 낮은 비용으로 최상의 GaN 기반 설계를 달성할 수 있도록 도움을 주기 위해 작성된 시리즈 기사 중 첫 번째이다. 3가지 주제는 (1) 레이아웃 고려사항, (2) 전력 처리를 극대화하기 위한 열 설계, (3) 최저 비용을 위한 EMI 감소 기술 등이다.

### GaN의 높은 스위칭 속도로 인한 기생 인덕턴스

오래된 파워 MOSFET 보다 높은 주파수를 사용하는 GaN은 전력 변환 회로에서 기생 인덕턴스로 인한 저하 효과에 주목하고 있다[1]. 이 인덕턴스는 EMI 생성을 감소시키고, GaN의 초고속 스위칭 성능을 최대한 활용하는데 방해가 된다. 전력 컨버터의 약 80%에 사용되는 하브-브리지 구성의 경우 기생 인덕턴스의 두 가지 주요 소스는 (1) 고주파 버스 커패시터와 두 개의 전력 스위칭 디바이스에 의해 형성되는 고주파 전력 루프, (2) 게이트 드라이버와 전력 디바이스 및 고주파 게이트 드라이버 커패시터에 의해서 형성되는 게이트 드라이버 루프이다. 공통 소스 인덕턴스(CSI: Common Source Inductance)는 게이트 루프와 전력 루프에 모두 해당되는 공통적인 루프 인덕턴스의 일부로 정의된다. 그림 1에 화살표로 표시되어 있다.

### 기생 인덕턴스 최소화

고속 전력 디바이스의 레이아웃을 고려할 때 모든 기생 인덕턴스를 최소화하는 것이 매우 중요하다. 인덕턴스의 모든 구성요소를 균일하게 줄일 수는 없기 때문에 공통 소스 인덕턴스를 시작으로 전력루프 인덕턴스와 게이트 루프 인덕턴스에 이르기까지 중요한 순서대로 해결해야 한다.

고전압 PQFN(Power Quad Flat No lead) MOSFET 패키지의 경우, 별도의 게이트-리턴 소스 핀이 필요하다는 것은 잘 알려진 사실이며, 이는 고전압 GaN PQFN 구조에서도 동일하게 구현된다[2, 3]. 이러한 별도의 핀을 사용할 수 있는 경우, 게이트 드라이버 루프와 전력 루프가 패키지 내에서 분리되기 때문에 외부 연결 방식에 각별한 주의를 기울여야 한다.

공통 소스 인덕턴스의 감소는 게이트 루프 외부로 밀려나는 외부 소스 인덕턴스의 희생으로 이뤄진다. 이러한 외부 인덕턴스를 통해 공통 소스 인덕턴스가 제거되면, 디바이스의 속도가 향상되기 때문에 접지 균형을 증가시킬 수 있다[4].

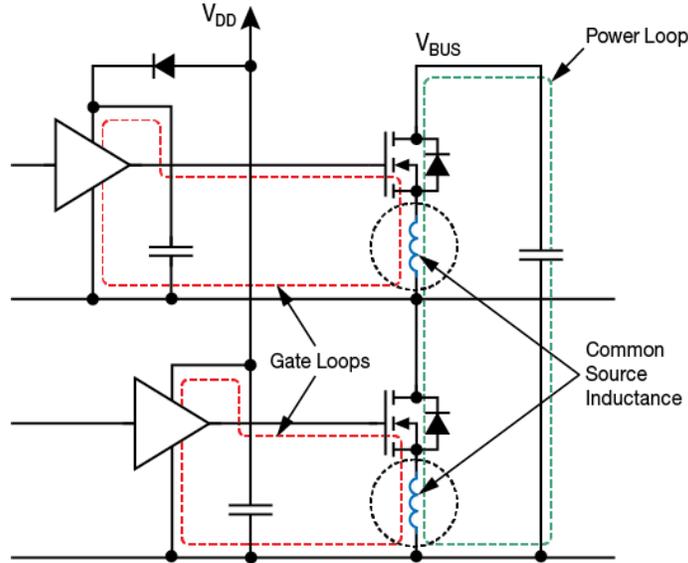


그림 1: 점선 원으로 표시된 공통 소스 인덕턴스가 있는 전력 및 게이트 드라이브 루프를 보여주는 하프-브리지 전력단 회로도

인핸스먼트-모드 GaN(eGaN: Enhancement-mode GaN)은 LGA(Land Grid Array) 또는 BGA(Ball Grid Array) 포맷에 단자가 있는 WLCSP(Wafer Level Chip-Scale Package)로 제공된다. 이러한 디바이스 중 일부는 별도의 게이트-리턴 소스 핀을 제공하지 않고, 그림 2와 같이 매우 낮은 인덕턴스 연결을 제공한다.

이러한 패키지의 총 패키지 인덕턴스는 대체로 100pH 미만이다. 이는 인덕턴스의 모든 구성요소를 상당히 줄임으로써 인덕턴스와 관련된 모든 문제를 감소시킨다. 이러한 LGA 및 BGA 패키지는 소스 패드를 게이트와 가장 가까운 곳에 할당하고, 게이트 루프 및 전력 루프 모두 '스타' 연결 지점으로 동작하도록 함으로써 전용 게이트-리턴 핀이나 바가 제공되는 패키지와 동일한 방식으로 처리할 수 있다. 그런 다음, 그림 2와 같이 전류가 반대 방향이나 직교 방향으로 흐르도록 하여 게이트 루프 및 전력 루프의 레이아웃을 분리한다.

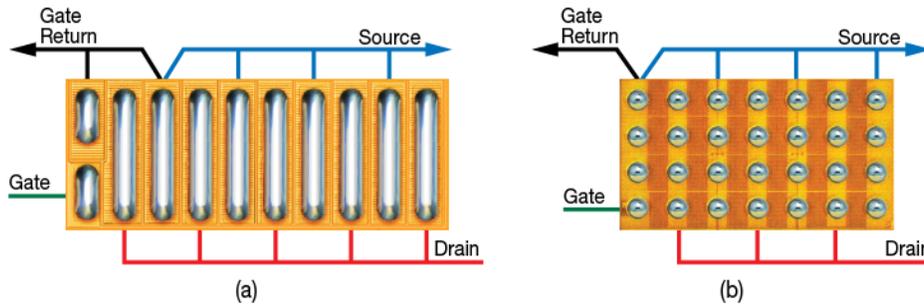


그림 2: 공통 소스 인덕턴스를 최소화하는 디바이스의 전류 흐름 방향을 보여주는 LGA(a) 및 BGA(b) 포맷의 GaN 트랜지스터

루프를 구성하는 개별 소자들의 인덕턴스(커패시터 ESL, 디바이스 리드 인덕턴스 및 PCB 인터커넥트 인덕턴스 등)를 최소화하는 것도 중요하지만, 설계자는 루프 전체의 인덕턴스를 최소화하는데 집중해야 한다. 루프의 인덕턴스는 내부에 저장된 자기 에너지에 의해 결정되기 때문에 인접한 도체 간의 커플링을 사용하여 자기장 자체-무효화(Magnetic Field Self-Cancellation)를 유도함으로써 루프 전체의 인덕턴스를 보다 최소화할 수 있다.

디바이스 한 쪽에 있는 드레인 및 소스 단자를 인터리빙하면, 반대 전류가 있는 여러 개의 소형 루프가 생성되고, 자기장 자체-무효화를 통해 전체 인덕턴스를 감소시킨다. 이는 그림 3(a)에 표시된 PCB 트레이스뿐만 아니라, 그림 3(b)에 표시된 수직 솔더 연결 및 층간 연결 비아에도 해당된다. 여러 개의 작은 자기장 무효화 루프가 형성되면, 총 자기 에너지와 인덕턴스가 크게 감소한다[5].

또한 중심선에서 디바이스 양쪽의 드레인 및 소스 전류를 모두 내보내고, 자기장 무효화 효과를 복제함으로써 부분적인 루프 인덕턴스를 추가로 줄이는 것이 가능하다. 이는 각 도체의 전류를 감소시켜 저장된 에너지를 추가로 줄이고, 전류 경로가 보다 짧아지면서 인덕턴스가 낮아지게 된다.

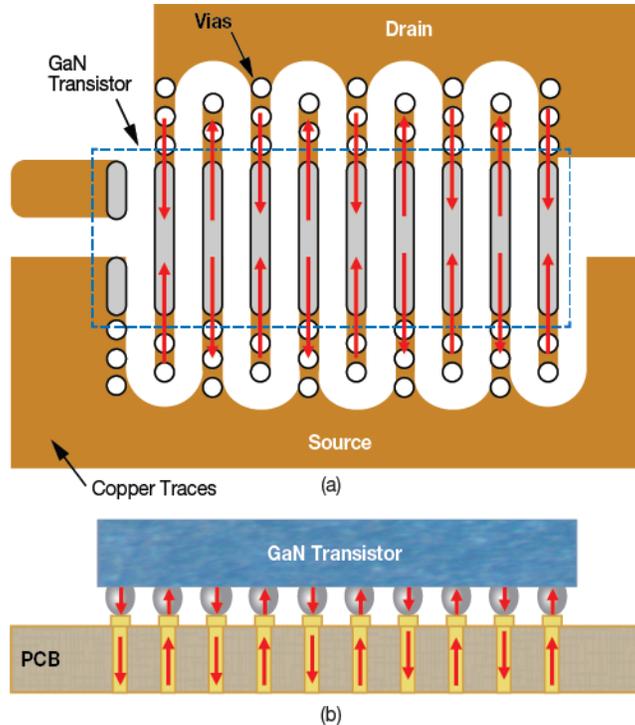


그림 3: 교류 흐름을 보여주는 PCB에 장착된 LGA GaN 트랜지스터의 평면도(a) 및 측면도(b)

### 전형적인 전력 루프 설계

실제 레이아웃에서 전력 루프 인덕턴스를 어떻게 최소화할 수 있는지 알아보기 위해 전력 루프에 대한 전형적인 두 가지 접근방식과 비교해 보았다. 이 두 가지 접근방식은 각각 '수평(Lateral)' 및 '수직(Vertical)' 전력 루프라고 한다.

#### 수평 전력 루프 설계

수평 레이아웃은 고주파 전력 루프 영역을 최소화하기 위해 입력 커패시터와 디바이스를 PCB의 동일한 측면에 배치한다. 이러한 설계의 고주파 루프는 PCB의 동일한 측면에 포함되며, 전력 루프가 단일 PCB 레이어에서 측면으로 흐르기 때문에 수평 전력 루프로 간주된다. LGA 트랜지스터 설계를 사용하는 수평 레이아웃의 예는 그림 4에 나와 있다. 이 그림에서 강조된 영역이 고주파 루프이다.

기생 인덕턴스를 줄이기 위해서는 루프의 물리적 크기를 최소화하는 것도 중요하지만, 내부 레이어 설계도 매우 중요하다. 수평 전력 루프 설계의 경우, 첫 번째 내부 레이어가 '차폐 레이어'

역할을 한다. 이 레이어는 고주파 전력 루프에 의해 생성된 필드로부터 내부 회로를 보호하는데 중요한 역할을 한다. 전력 루프는 전력 루프와 반대 방향으로 흐르는 차폐 레이어의 전류를 유도하는 자기장을 생성한다. 이 차폐 레이어의 전류는 본래의 전력 루프 자기장에 상응하는 자기장을 생성한다. 최종적으로 자기장이 무효화되면서 기생 전력 루프 인덕턴스가 감소하게 된다.

완벽한 차폐면을 전력 루프와 매우 근접한 곳에 배치하면, 수평 레이아웃에서 가장 낮은 전력 루프 인덕턴스를 얻을 수 있다. 이러한 접근 방식은 전력 루프에서 첫 번째 내부 레이어가 포함된 차폐 레이어까지의 거리에 크게 의존한다. 상단의 두 레이어와 근접해 있는 한, 고주파 루프 인덕턴스는 전체 보드 두께로부터 거의 영향을 받지 않는다.

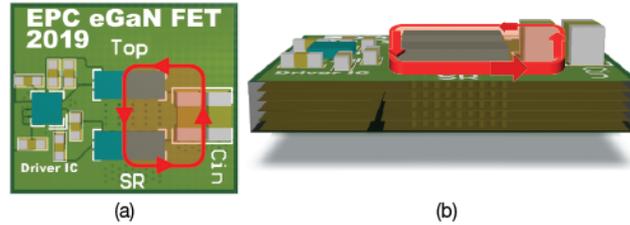


그림 4: LGA GaN 트랜지스터 기반 컨버터의 전형적인 수평 전력 루프: (a) 평면도, (b) 측면도

### 수직 전력 루프 설계

그림 5에 나타난 두 번째 전형적인 레이아웃은 입력 커패시터와 트랜지스터가 PCB의 반대쪽에 배치되어 있으며, 커패시터는 디바이스 바로 아래 위치하여 물리적 루프 크기를 최소화한다. 루프가 비아를 사용하여 PCB를 가로질러 수직으로 연결되기 때문에 이를 수직 전력 루프라고 한다. 그림 5의 LGA 트랜지스터 설계에서 강조된 부분이 수직 전력 루프이다.

이 설계의 경우 수직 구조로 되어 있기 때문에 차폐 레이어가 없다. 수직 전력 루프는 자기장 자체-무효화 방식(전류가 반대 방향으로 흐르는)을 사용하여 인덕턴스를 감소시키며, 차폐면을 이용하는 것과는 다르다.

이 PCB 레이아웃의 경우, 보드 두께는 일반적으로 보드 상단과 하단에 있는 트레이스의 수평 길이보다 훨씬 얇다. 보드 두께가 감소함에 따라 루프 영역은 수평 전력 루프에 비해 크게 줄어들고, 상단 및 하단 레이어에서 반대 방향으로 흐르는 전류가 자기장 자체-무효화를 제공하기 시작한다. 수직 전력 루프가 가장 효과적이기 위해서는 보드 두께를 최소화해야 한다.

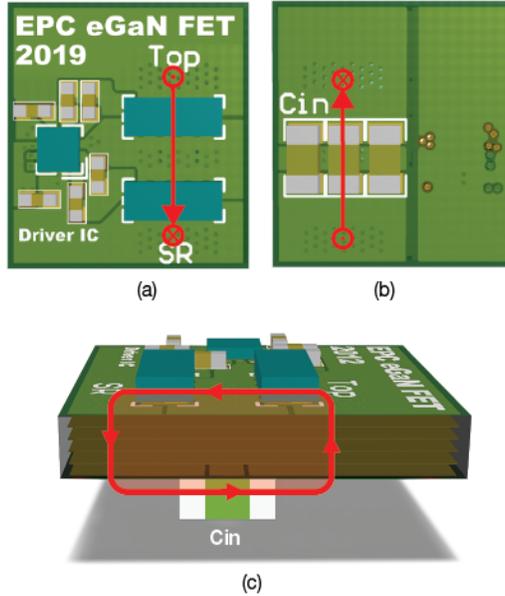


그림 5: LGA 트랜지스터 기반 컨버터의 전형적인 수직 전력 루프: (a) 상단면, (b) 하단면, (c) 측면

### 전력 루프 최적화

그림 6에 나타난 향상된 레이아웃 기법은 루프 크기를 줄여 이점을 제공하고, 자기장 자체-무효화 기능을 가지고 있으며, 인덕턴스는 보드 두께에 영향을 받지 않으며, 단면에 구성요소를 배치하는 PCB 설계로 다층 구조에서 높은 효율을 제공한다. 이러한 설계는 그림 6(b)에 표시된 첫 번째 내부 레이어를 전력 루프 리턴 경로로 사용한다. 이 리턴 경로는 그림 6(a)에 표시된 것처럼, 상단 레이어 전력 루프 바로 아래에 위치한다. 이러한 위치는 자기장 자체-무효화와 함께 가장 작은 물리적 루프 영역을 달성한다. 그림 6(c)의 측면도를 보면, 다층 PCB 구조에서 낮은 프로파일의 자기장 자체-무효화 루프를 생성하는 개념을 보여준다.

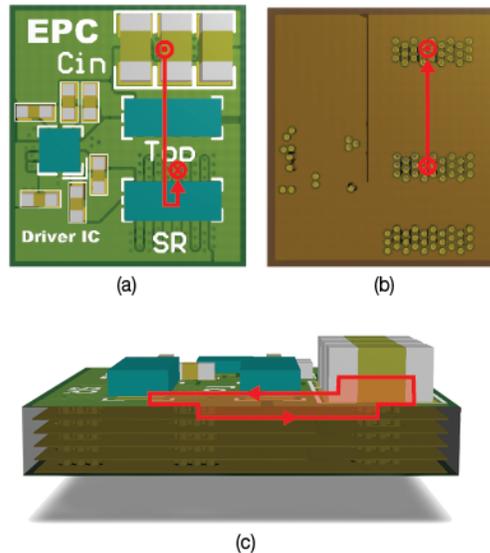


그림 6: LGA 트랜지스터 기반 컨버터를 위한 최적의 전력 루프: (a) 평면도, (b) 내부 레이어 1의 평면도, (c) 측면도

이러한 향상된 레이아웃은 상단 트랜지스터의 드레인 연결 옆에 위치한 포지티브 입력 전압 단자와 함께 입력 커패시터를 상단 디바이스에 가깝게 배치한다. GaN 디바이스는 수직 및 수평

전력 루프 케이스처럼 배열된다. 인터리빙된 인덕터 노드와 접지 비아는 동기식 정류 트랜지스터 하단에 복제된다.

이러한 인터리빙된 비아는 다음과 같은 3가지 장점을 제공한다:

- 전류가 반대 방향으로 흐르는 비아의 인터리빙은 자기 에너지 저장을 줄이고, 자기장을 무효화하는데 도움을 준다. 그 결과 에디(Eddy) 및 근접 효과가 감소하여 AC 전도 손실이 줄어든다.
- 하부 트랜지스터 아래에 위치한 비아는 트랜지스터 프리휠링(Freewheeling)이 이뤄지는 동안 저항과 이에 수반되는 전도 손실을 줄여준다.
- 비아는 열 확산 저항을 감소시켜 효율성과 전력 처리 성능을 향상시킨다.

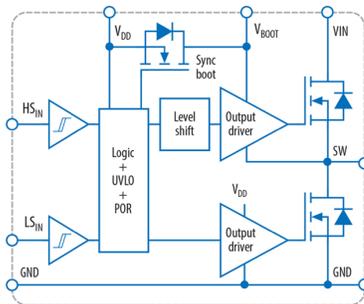
표 1은 전형적인 설계와 최적화된 설계의 특성을 비교한 것이다.

**표 1. 전형적인 설계 및 최적화된 전력 루프 설계의 특성**

	수평 루프	수직 루프	최적화된 루프
단면 PCB 기능	예	아니오	예
자기장 자체-무효화	아니오	예	예
보드 두께에 독립적인 인덕턴스	예	아니오	예
차폐 레이어 필요	예	아니오	아니오

### 통합이 기생 인덕턴스에 미치는 영향

GaN 트랜지스터 기반 설계의 기생 인덕턴스를 추가로 줄이기 위해 모놀리식 GaN 전력단 IC를 사용할 수 있다[7]. 그림 7은 모놀리식 전력단 GaN IC의 블록도와 실제 칩 사진이다. 그림 8은 이 모놀리식 IC의 효율을 실험적으로 측정하기 위해 동일한 저항을 가진 eGaN<sup>®</sup> 트랜지스터를 사용한 디스크리트 회로와 비교한 것이며, 최적의 레이아웃으로 uPI 세미컨덕터(uPI Semiconductor)의 Si 하프-브리지 드라이버 IC[7]로 구동되었다. GaN IC에서 감소된 전력 루프 및 게이트 루프 인덕턴스는 표준 벽 컨버터에서 통합으로 얻는 전반적인 효율 이득이 1MHz로 상당히 높기 때문에 분명한 이점이 된다.



(a)



(b)

그림 7: 모놀리식 전력단의 블록도(a)와 칩 사진(b)

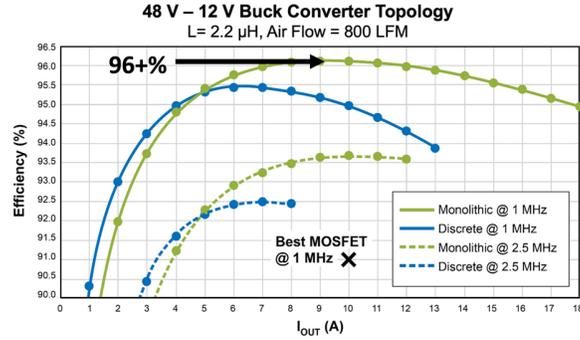


그림 8: 1MHz(실선) 및 2.5MHz(점선)의 48V-12V 벅 컨버터의 모놀리식 GaN 전력단(녹색)과 외부에서 구동되는 동일한 디스크리트 GaN 트랜지스터(파란색) 솔루션의 효율성 비교. 검정색 'X' 표시는 1MHz에서 가장 우수한 MOSFET 성능이다.

## 요약

효율적인 회로 레이아웃은 PCB 면적을 최소화하고, 기생 인덕턴스에 의해 제한되는 스위칭 속도 저하로 인한 낭비적인 전력 손실을 줄이는 것은 물론, 전압 오버슈트 감소를 통해 시스템의 신뢰성을 향상시킨다. GaN 트랜지스터를 사용할 때 중요한 레이아웃 기생 인덕턴스, 즉 공통 소스 인덕턴스, 고주파 전력 루프 인덕턴스, 게이트 루프 인덕턴스 등을 살펴보았다.

이러한 성능을 저해하는 기생 인덕턴스를 최소화하기 위해 가장 기본적인 단일 트랜지스터를 시작으로 완벽한 모놀리식 GaN 전력 단 IC까지 몇 가지 방법을 검토했다. 이 글에서 논의된 레이아웃 기술과 최신 칩 스케일 GaN 트랜지스터 및 IC를 통해 향후 최적의 열 관리 시스템 설계와 낮은 EMI 시스템 개발 방법을 보여주는 일련의 기사들도 작성될 예정이다.

## 참고자료

1. A. Lidow, M. de Rooij, J. Strydom, D. Reusch, and J. Glaser, *GaN Transistors for Efficient Power Conversion*, 3<sup>rd</sup> Edition, J. Wiley 2020.
2. Zhou, L., Wu., Y.F., and Mishra, U. (2013) "True-bridgeless totem-pole PFC based on GaN HEMTs," PCIM Europe 2013, pp. 1017–1022.
3. Efficient Power Conversion Corporation, "eGaN FETs in high performance DC-DC conversion," EDN Innovation Awards Conference and Awards, Shanghai, China, 2011, p. 28. Available from [http://epc-co.com/epc/documents/presentations/EDN\\_Innovation\\_Conference\\_120111.pdf](http://epc-co.com/epc/documents/presentations/EDN_Innovation_Conference_120111.pdf).
4. Direct Energy, Inc., "The destructive effects of Kelvin leaded packages in high speed, high frequency operation," Fort Collins, Colorado, Tech Note 9200-0002-1, 1998. Available from [www.directenergy.com/index.php?option=com\\_joomdoc&task=document.download&path=ixysrf%2Fapplication-notes%2Fthe-destructive-effects-of-kelvin-leaded-packages-in-high-speed-high-frequency-operation](http://www.directenergy.com/index.php?option=com_joomdoc&task=document.download&path=ixysrf%2Fapplication-notes%2Fthe-destructive-effects-of-kelvin-leaded-packages-in-high-speed-high-frequency-operation).
5. Krausse, G.J. "DE-Series fast power MOSFET, an introduction," Directed Energy, Inc., Fort Collins, Colorado, Tech Note 9300-002 Rev 3, 2002. Available from [www.directenergy.com/index.php?option=com\\_joomdoc&task=document.download&path=ixysrf%2Fapplication-notes%2Fde-series-fast-power-mosfet](http://www.directenergy.com/index.php?option=com_joomdoc&task=document.download&path=ixysrf%2Fapplication-notes%2Fde-series-fast-power-mosfet).
6. Reusch, D. and Strydom, J. (16–21 March 2013) "Understanding the effect of PCB layout on circuit performance in a high frequency gallium nitride based point of load converter," OT Twenty-Eighth Annual IEEE Applied Power Electronics Conference and Exposition (APEC), Long Beach, CA, pp. 649–655.
7. A. Lidow, "The Ascent of GaN – Redefining Power Conversion with Gallium Nitride Integrated Circuits," Bodo's Power Systems, October 2020.